

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-199744

(43)Date of publication of application : 06.08.1993

(51)Int.Cl.

H02M 3/28

(21)Application number : 04-007209

(71)Applicant : FUJITSU LTD

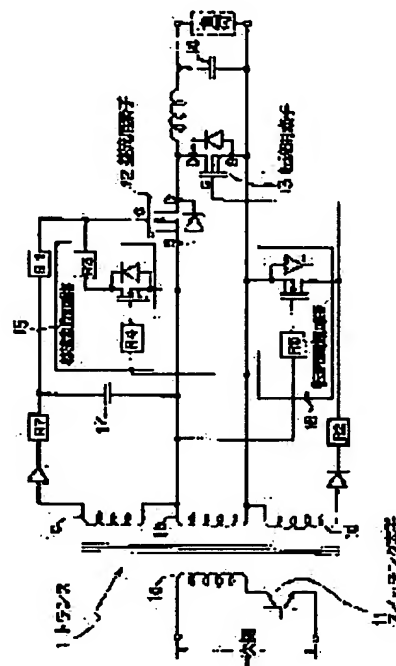
(22)Date of filing : 20.01.1992

(72)Inventor : YAMADA YUICHI

(54) SYNCHRONOUSLY RECTIFYING METHOD, AND SWITCHING POWER SOURCE WITH SYNCHRONOUS RECTIFIER CIRCUIT**(57)Abstract:**

PURPOSE: To reduce voltage fall at the time of rectification or commutation to reduce a loss, regarding a switching power source provided with a synchronous rectifier circuit for rectifying to be synchronized with switching on a primary side.

CONSTITUTION: In a switching power source having a switching element 11 on the first side of a transformer 1, a rectifying element 12 to be electrified to be ON-worked with a positive electromotive force on a secondary side, and a commutating element 13 to be electrified to be ON-worked with a counter electromotive force, for the rectifying element 12 and the commutating element 13, insulation gate type field-effect transistors are used, and are synchronized with the ON/OFF of switching on the primary side, and even in a zero period, the rectifying element 12 and the commutating element 13 are composed to be retained in an ON-state.

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-199744

(43)公開日 平成5年(1993)8月6日

(51)Int.Cl.⁵

H 0 2 M 3/28

識別記号

庁内整理番号

F I

技術表示箇所

F 8726-5H

審査請求 未請求 請求項の数 5(全 10 頁)

(21)出願番号 特願平4-7209

(22)出願日 平成4年(1992)1月20日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 山田 裕一

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 土橋 皓

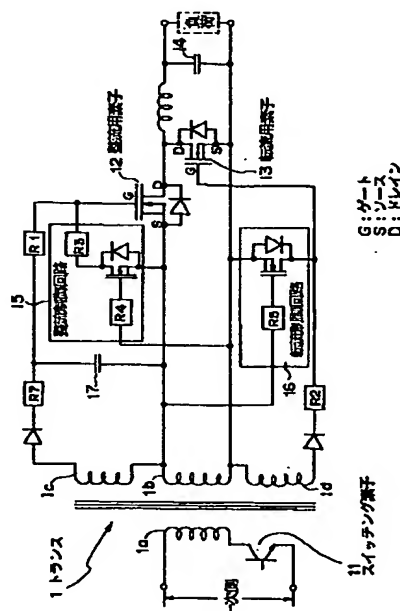
(54)【発明の名称】 同期整流方法および同期整流回路を備えたスイッチング電源

(57)【要約】

【目的】 1次側のスイッチングに同期して整流する同期整流回路を備えたスイッチング電源に関し、整流または転流時の電圧降下が小さく、損失を小さくすることができるようにすることを目的とする。

【構成】 トランス1の一次側にスイッチング素子11を有し、二次側には正起電力によりオン動作して通電する整流用素子12と、逆起電力によりオン動作して通電する転流用素子13とを有するスイッチング電源において、整流用素子12および/または転流用素子13に絶縁ゲート型電界効果トランジスタを用い、1次側のスイッチングのオンオフに同期させて、零期間時であっても整流用素子12および/または転流用素子13をオン状態に保持させるように構成する。

本発明の原理構成図



【特許請求の範囲】

【請求項1】 トランス(1)の一次側にスイッチング素子(11)を有し、二次側には正起電力によりオン動作して通電する整流用素子(12)と、逆起電力によりオン動作して通電する転流用素子(13)とを有するスイッチング電源において、

整流用素子(12)および/または転流用素子(13)に絶縁ゲート型電界効果トランジスタを用い、1次側のスイッチングのオンオフに同期させて、零期間時であっても整流用素子(12)および/または転流用素子(13)をオン状態に保持させることを特徴とする同期整流方法。

【請求項2】 トランス(1)の一次側にスイッチング素子(11)を有し、二次側には正起電力によりオン動作して通電する整流用素子(12)と、逆起電力によりオン動作して通電する転流用素子(13)とを有するスイッチング電源であって、

前記整流用素子(12)および前記転流用素子(13)としてそれぞれ絶縁ゲート型電界効果トランジスタを用い、

零期間時に前記整流用素子(12)のゲート側へ電圧を加えて前記整流用素子(12)のオン状態を維持させる絶縁ゲート型電界効果トランジスタを用いた整流制御回路(15)を備え、

スイッチングの零期間時に前記整流制御回路(15)を作動させ、前記整流用素子(12)のゲート電圧を供給して前記整流用素子(12)のオン状態を維持させることを特徴とする同期整流回路を備えたスイッチング電源。

【請求項3】 トランス1の一次側にスイッチング素子(11)を有し、二次側には正起電力によりオン動作して通電する整流用素子(12)と、逆起電力によりオン動作して通電する転流用素子(13)とを有するスイッチング電源であって、

前記整流用素子(12)および前記転流用素子(13)としてそれぞれ絶縁ゲート型電界効果トランジスタを用い、

零期間時に前記転流用素子(13)のゲート側へ電圧を加えて前記転流用素子(13)のオン状態を維持させる絶縁ゲート型電界効果トランジスタを用いた転流制御回路(16)を備え、

スイッチングの零期間時に前記転流制御回路(16)を作動させ、前記転流用素子(13)のゲート電圧を供給して前記整流用素子(13)のオン状態を維持することを特徴とする同期整流回路を備えたスイッチング電源。

【請求項4】 トランス(1)の一次側にスイッチング素子(11)を有し、二次側には正起電力によりオン動作して通電する整流用素子(12)と、逆起電力によりオン動作して通電する転流用素子(13)とを有するスイッチング電源であって、

前記整流用素子(12)および前記転流用素子(13)としてそれぞれ絶縁ゲート型電界効果トランジスタを用い、

零期間時に前記整流用素子(12)のゲート側へ電圧を加えて前記整流用素子(12)のオン状態を維持させる絶縁ゲート型電界効果トランジスタを用いた整流制御回路(15)と、

零期間時に前記転流用素子(13)のゲート側へ電圧を加えて前記転流用素子(13)のオン状態を維持させる絶縁ゲート型電界効果トランジスタを用いた転流制御回路(16)と、

前記整流用素子(12)がオン状態の時に整流側補助巻線(1c)の起電力により充電されるコンデンサ(17)とを備え、

スイッチングの零期間時に、前記転流用素子(13)が前記転流制御回路(16)に起動されてオン状態を維持するとともに、前記整流用素子(12)が前記コンデンサ(17)の放電電圧によりオン状態を維持することを特徴とする同期整流回路を備えたスイッチング電源。

20 【請求項5】 前記絶縁ゲート型電界効果トランジスタとして金属酸化膜半導体電界効果トランジスタを用いたことを特徴とする請求項2、3または4記載の同期整流回路を備えたスイッチング電源。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は1次側のスイッチングに同期して整流する同期整流回路を備えたスイッチング電源に関する。

【0002】

30 【従来の技術】従来、スイッチング電源は、図10に示すように、トランス部1には1次巻線1aと2次巻線1bのほか、2次側に補助巻線1c、1dを設け、補助巻線1cの一端には直列に抵抗2を介装して整流用のFET(電界効果トランジスタ、以下同じ)3のゲートを接続し、補助巻線1dの一端には直列に抵抗4を介装して転流用のFET5のゲートを接続している。

【0003】補助巻線1cの他端にはFET3のソース側を接続し、FET3のドレイン側にはインダクタンス6を介して負荷7用の接続端子7aに接続している。また、FET3のソースとドレインとの間に寄生されているダイオード8が並列に接続されている。補助巻線1dの他端にはFET5のソース側を接続し、FET3のドレイン側にはリアクタンス6を介して負荷7用の接続端子7aに接続している。また、FET5のソースとドレインとの間に寄生されているダイオード9が並列に接続されている。FET5のソース側はさらに負荷7用の接続端子7bに接続させ、接続端子7aと接続端子7bとの間には平滑用のコンデンサ10を並列に接続している。

50 【0004】このような回路における各部の波形は、図

11に示すようになる。ここで、図11(a)で示すドライブ波形が出ているとき、整流用のFET3においては、ゲートとソースとの間で図11(b)に示すような波形となり、ソースとドレインとの間では図11(c)に示すような波形となる。また、転流用のFET5においては、ゲートとソースとの間で図11(d)に示すような波形となり、ソースとドレインとの間では図11(e)に示すような波形となる。

【0005】この同期整流回路は、図12(a)に示すように、ドライブ波形の1パターンの各期間I, II, IIIにおいて、整流回路が図12(b), (c), (d)で示すように構成された回路として機能し、2次側の補助巻線1cに発生する正起電力により整流用のFET3をオン(ON)にさせ、補助巻線1dに発生する逆起電力により転流用のFET5をONにさせる制御をしている。

【0006】

【発明が解決しようとする課題】上記従来の技術においては、スイッチングがオフ(OFF)の時の零期間では補助巻線1c, 1dに起電力が発生せず、FET3, 5に寄生されているダイオード8または9が整流用素子または転流用素子として機能してしまい、整流または転流時の電圧降下が大きくなり、損失が大きくなっていたという問題点があった。

【0007】本発明は、従来の技術における前記問題点を解消するためのものであり、そのための課題は、整流または転流時の電圧降下がなく、損失を小さくすることのできる同期整流回路を備えたスイッチング電源を提供することにある。

【0008】

【課題を解決するための手段】本発明は前記課題を達成できるようにするため、同期整流方法においては、トランス1の一次側にスイッチング素子11を有し、二次側には正起電力によりオン動作して通電する整流用素子12と、逆起電力によりオン動作して通電する転流用素子13とを有するスイッチング電源において、整流用素子12および/または転流用素子13に絶縁ゲート型電界効果トランジスタを用い、1次側のスイッチングのオンオフに同期させて、零期間時であっても整流用素子12および/または転流用素子13をオン状態に保持させることを特徴とし、装置構成にあっては、図1に示すように、整流用電界効果トランジスタまたは転流用電界効果トランジスタを用いた制御回路を設ける構成とする。

【0009】ここに装置構成としては、整流用電界効果トランジスタを用いた制御回路を設ける場合の同期整流回路を備えたスイッチング電源においては、トランス1の一次側にスイッチング素子11を有し、二次側の正起電力によりオン動作して通電する整流用素子12と、二次側の逆起電力によりオン動作して通電する転流用素子13とを有するスイッチング電源であって、前記整流用

素子12および前記転流用素子13としてそれぞれ絶縁ゲート型電界効果トランジスタを用い、零期間時に前記整流用素子12のゲート側へ電圧を加えて前記整流用素子12のオン状態を維持させる絶縁ゲート型電界効果トランジスタを用いた整流制御回路15を備え、スイッチングの零期間時に前記整流制御回路15をオフにし、前記整流用素子12のオン状態を維持させることを特徴とする。

【0010】また、転流用電界効果トランジスタを用いた制御回路を設ける場合の同期整流回路を備えたスイッチング電源においては、トランスの一次側にスイッチング素子11を有し、二次側の正起電力によりオン動作して通電する整流用素子12と、二次側の逆起電力によりオン動作して通電する転流用素子13とを有するスイッチング電源であって、前記整流用素子12および前記転流用素子13としてそれぞれ絶縁ゲート型電界効果トランジスタを用い、零期間時に前記転流用素子13のゲート側へ電圧を加えて前記転流用素子13のオン状態を維持させる絶縁ゲート型電界効果トランジスタを用いた転流制御回路16を備え、スイッチングの零期間時に前記転流制御回路16をオフにし、前記整流用素子13のオン状態を維持することを特徴とする。

【0011】さらにまた、整流用電界効果トランジスタおよび転流用電界効果トランジスタを用いた制御回路を設ける場合の同期整流回路を備えたスイッチング電源においては、トランスの一次側にスイッチング素子11を有し、二次側の正起電力によりオン動作して通電する整流用素子12と、二次側の逆起電力によりオン動作して通電する転流用素子13とを有するスイッチング電源であって、前記整流用素子12および前記転流用素子13としてそれぞれ絶縁ゲート型電界効果トランジスタを用い、零期間時に前記整流用素子12のゲート側へ電圧を加えて前記整流用素子12のオン状態を維持させる絶縁ゲート型電界効果トランジスタを用いた整流制御回路15と、零期間時に前記転流用素子13のゲート側へ電圧を加えて前記転流用素子13のオン状態を維持させる絶縁ゲート型電界効果トランジスタを用いた転流制御回路16と、前記整流用素子12がオン状態の時に整流側補助巻線1cの起電力により充電されるコンデンサ17とを備え、スイッチングの零期間時に、前記転流用素子13が前記転流制御回路16に起動されてオン状態を維持するとともに、前記整流用素子12が前記コンデンサ17の放電電圧によりオン状態を維持することを特徴とする。

【0012】前記絶縁ゲート型電界効果トランジスタとして金属酸化膜半導体電界効果トランジスタを用いたことを特徴とする。

【0013】

【作用】このように構成したことにより、同期整流方法においては、1次側のスイッチングのオンオフに同期さ

せて、零期間時であっても整流用素子12および／または転流用素子13をオン状態に保持させ、寄生ダイオードによる整流または転流を避け、整流時または転流時に電圧降下を小さくし、電力損失を少なくする。

【0014】整流用電界効果トランジスタを用いた制御回路を設ける場合の同期整流回路を備えたスイッチング電源においては、スイッチングの零期間時に整流制御回路15を作動させ、整流制御回路15の絶縁ゲート型電界効果トランジスタから整流用素子12にゲート電圧を加えて、整流用素子12のオン状態を維持することによって、正常な整流を続行させ、整流用素子12の寄生ダイオードによる整流を阻止させるとともに、整流時の電圧降下を小さくし、損失を少なくして直流電源を高効率化させる。

【0015】転流用電界効果トランジスタを用いた制御回路を設ける場合の同期整流回路を備えたスイッチング電源においては、スイッチングの零期間時に転流制御回路16を作動させ、転流制御回路16の絶縁ゲート型電界効果トランジスタから転流用素子13にゲート電圧を加えて、転流用素子13のオン状態を維持することによって、正常な転流を続行させ、転流用素子13の寄生ダイオードによる転流を阻止させるとともに、転流時の電圧降下を少なくし、損失を少なくして直流電源を高効率化させる。

【0016】整流用電界効果トランジスタおよび転流用電界効果トランジスタを用いた制御回路を設ける場合の同期整流回路を備えたスイッチング電源においては、スイッチングの零期間時に、転流用素子13が転流制御回路16がオフにされてオン状態を維持されるとともに、整流用素子12がコンデンサ17の電圧によりオン状態を維持されることにより、各寄生ダイオードが整流あるいは転流に係わる素子として機能させることが回避され、高効率な直流電源を実現させる。

【0017】金属酸化膜半導体電界効果トランジスタを用いた場合では、その充電容量を利用して、零期間前において金属酸化膜半導体電界効果トランジスタに充電させ、その充電させた電荷をスイッチングの零期間時に放電させないことにより、整流用素子としての金属酸化膜半導体電界効果トランジスタおよび／または転流用素子としての金属酸化膜半導体電界効果トランジスタのゲート側に供給させ、整流用素子および／または転流用素子のオン状態を保持させる。

【0018】

【実施例】本発明における以下の実施例では整流用、転流用、および整流用と転流用の両方に対して制御回路を設ける場合に分けて説明する。

【0019】図2は第1実施例の零期間に整流を維持させる制御回路を備えた同期整流回路の構成を示す図である。ここに、101はトランジスタ(Tr)であり、1次側を通電させるためのスイッチ用に設けるものであ

る。102は1次側の巻線であり、トランジスタ101がオン(通電状態)になると2次側に起電力を発生させるものである。103は2次巻線であり、負荷側への定格起電力を発生させるものである。104は整流側の補助巻線であって、整流用のMOSFET(金属酸化膜半導体電界効果トランジスタ)106(後述)のゲート側に起動電圧を加えるための起電力を発生するものである。105は転流側の補助巻線であって、転流用のMOSFETのゲート側に起電力を供給させるものである。

【0020】106は整流用のMOSFETであって、ゲート(G)側を抵抗(R1)107を介して補助巻線104の一端に接続させ、ソース(S)側を2次巻線103の補助巻線104を接続する側に位置する一端に接続させ、ドレイン(D)側をインダクタンス(L)108を介して負荷側の接続端子109aに接続させて、ゲートに正電圧が印加された場合にソース・ドレイン間に通電させ整流させるものである。

【0021】111は制御用のMOSFETであって、ゲート(G)側を抵抗(R4)112を介して2次巻線103の補助巻線105を接続する側に位置する一端に接続させ、ソース(S)側をMOSFET106のソース側と接続させ、ドレイン(D)側を抵抗(R3)113を介してMOSFET106のゲート側と接続させて、ゲートに正電圧が印加された場合にソース・ドレイン間に通電させ、MOSFET106のゲート側に正電圧を印加させて、MOSFET106をオン動作させる。

【0022】114は転流用のMOSFETであって、ゲート(G)側を補助巻線105の2次巻線接続側と反対側に位置する一端に抵抗(R2)115を介して接続させ、ソース(S)側を2次巻線103の抵抗(R4)接続側に位置する一端と接続させ、ドレイン(D)側をMOSFET106のドレイン側と接続させて、ゲートに補助巻線105の逆起電力が印加された場合にソース・ドレイン間に通電させてオン動作させるものである。

【0023】116はコンデンサ(C)であり、負荷側の接続端子109aおよび109bに負荷と並列に接続させて、負荷側への電圧を平滑化させる。

【0024】このように構成した第1実施例は、図3に示すように、ドライブ波形に対してMOSFET114については従来と同様の出力波形になるが、MOSFET106ではトランジスタ101がオフで、零期間になった場合でも、それまでに充電していたMOSFET111が放電して起動制御し、MOSFET106のゲート電圧が供給されて、MOSFET106のオン状態が保持される。

【0025】図4は第2実施例の零期間に転流を維持させる制御回路を備えた同期整流回路の構成を示す図である。ここに、118は制御用のMOSFETであって、ゲート(G)側を2次巻線103の補助巻線104を接

10

20

30

40

50

続する側に位置する一端に抵抗(R5)119を介して接続させ、ソース(S)側を2次巻線103の抵抗119を接続させた側と反対側の一端と接続させ、ドレイン(D)側を補助巻線105の抵抗115を接続させた側と反対側の一端に接続させて、そして2次巻線103と補助巻線105とは直接接続させずMOSFET118のソースドレイン間を介して接続させるようにして、ゲートに逆起電力が印加された場合にMOSFET118をオフさせ、MOSFET114のオン動作を維持させるものである。

【0026】その他は、第1実施例におけるMOSFET111および抵抗112、113がない場合と同様に構成する。

【0027】このように構成した第2実施例は、図5に示すように、ドライブ波形に対してMOSFET106については補助巻線104の逆起電力によっては通電せず、ソースドレイン間の電圧はトランジスタ101がオフの間は0Vの出力波形になるが、MOSFET114ではトランジスタ101がオフで、零期間になった場合に、それまでにMOSFET114のG-S間の寄生容量Cに充電されていた電圧により、MOSFET118がオフしている為、MOSFET114のオン状態が保持された出力波形になる。

【0028】図6は第3実施例の零期間に整流を維持させる制御回路および転流を維持させる制御回路を備えた同期整流回路の構成を示す図である。ここに、121は補助巻線104系統整流用のダイオードであり、補助巻線104系を整流するものである。122はダイオードであり、零期間における補助電力系を整流するものである。123はコンデンサであり、トランジスタ101がオフの時に充電され、オンの時に放電されるものである。124はダイオードであり、零期間における補助電流系を整流するものである。125は電流制限抵抗(R6)である。

【0029】その他は、第1実施例および第2実施例を組み合わせた構成と同様にする。すなわち、整流側のMOSFET106には制御用のMOSFET111が、転流用のMOSFET114には制御用のMOSFET115が零期間における起動制御用に設けられている。

【0030】このように構成した第3実施例は、図7に示すように、ドライブ波形に対して、トランジスタ101がオフで、零期間になった場合に、MOSFET106については制御用のMOSFET111の制御によってMOSFET106のゲート電圧が供給されて、MOSFET114のオン状態が保持され、ソースドレイン間の通電状態が保持された出力波形になり、MOSFET114では制御用のMOSFET118の制御によってMOSFET114のゲート電圧が供給され、MOSFET114のオン状態が保持され、ソースドレイン間の通電状態が保持された出力波形になる。

【0031】図8は第3実施例の別態様の構成を示す図である。ここに、121は補助巻線104系統の整流用のダイオードであり、補助巻線104系を整流するものである。123はコンデンサであり、トランジスタ101がオンの時に充電され、オフの時に放電されるものである。126は抵抗(R7)であり、ダイオード121と抵抗107との間でコンデンサ123の接続箇所よりもダイオード121側に接続され、MOSFET114のゲートへの供給電圧を調整する抵抗値を設定するためのものである。127はダイオードであり、零期間における補助巻線105系を整流するものである。

【0032】その他は、第1実施例および第2実施例を組み合わせた構成と同様にする。すなわち、整流側のMOSFET106には制御用のMOSFET111が、転流用のMOSFET114には制御用のMOSFET118が零期間における起動制御用に設けられている。

【0033】このように構成した第3実施例の別態様では、ドライブ波形に対する各部の出力波形は、図9に示すように、トランジスタ101がオフで、零期間になった場合に、MOSFET106については制御用のMOSFET111の制御によってMOSFET106のゲート電圧が供給されて、MOSFET114のオン状態が保持され、ソース・ドレイン間の通電状態が保持されてコンデンサ123の充電電圧が維持された出力波形になり、MOSFET114では制御用のMOSFET118の制御によってMOSFET114のゲート電圧が供給され、MOSFET114のオン状態が保持され、ソース・ドレイン間の通電状態が保持されてコンデンサ113の充電電圧が維持された出力波形になる。

【0034】このように各実施例では、整流用のMOSFET106については制御用のMOSFET111が零期間にゲート電圧を維持してオン状態を保持させることができ、また、転流用のMOSFET114については制御用のMOSFET118が零期間にゲート電圧を維持してオン状態を保持させることができるようにしたことによって、ダイオードを整流および転流用の素子として機能させることがなくなり、整流時の電圧降下を小さく抑えることができ、損失が小さくなって、低電圧大電流の整流に適し、かつ小型化のできる同期整流回路が実現できる。

【0035】また、第3実施例では、制御用のMOSFET111からの放電電圧に加えて、コンデンサ123の放電電圧を整流用のMOSFET106に供給することができ、MOSFET106の起動に対する負荷が軽くなって、零期間時の波形が歪んだりしても整流用のMOSFET106のオン状態を保持できる。

【0036】

【発明の効果】以上のように本発明では、同期整流方法においては、1次側のスイッチングのオンオフに同期させて、零期間時であっても整流用素子12および/また

は転流用素子13をオン状態に保持させることができるようにしたことによって、寄生ダイオードを介した整流または転流が遅けられ、整流時または転流時の電圧降下を小さくすることができ、電力損失を少なくすることができ、直流電源の効率を高くすることができる。

【0037】整流用回路に制御回路を設けた場合の同期整流回路を備えたスイッチング電源においては、スイッチングの零期間時に整流制御回路15から整流用素子12のゲート電圧を加えて、整流用素子12のオン状態を維持することができるようにしたことによって、正常な整流を続行させ、整流用素子12の寄生ダイオードによる整流を阻止させることができるとともに、整流時の電圧降下を小さくすることができ、損失が少なくなって直流電源を高効率化させることができる。

【0038】また、転流用回路に制御回路を設けた場合の同期整流回路を備えたスイッチング電源においては、スイッチングの零期間時に、転流制御回路16から転流用素子13のゲート電圧を加えて、転流用素子13のオン状態を維持することができるようにしたことによって、正常な転流を続行させ、転流用素子13の寄生ダイオードによる転流を阻止させることができるとともに、転流時の電圧降下をなくすことができ、損失が少なくなって直流電源を高効率化させることができる。

【0039】さらにまた、整流用回路および転流用回路に制御回路を設けた場合の同期整流回路を備えたスイッチング電源においては、スイッチングの零期間時に、転流制御回路16からゲート電圧を供給されて転流用素子13がオン状態を維持するとともに、整流用素子12がコンデンサ17の放電電圧によりオン状態を維持するようにしたことにより、整流用素子12および転流用素子13の各寄生ダイオードを整流素子あるいは転流素子として機能させることが回避でき、電源供給時における電圧降下を小さく抑えた高効率な直流電源を実現させることができる。

【0040】そしてまた、金属酸化膜半導体電界効果トランジスタを用いた場合には、その充電容量を利用して、零期間前において金属酸化膜半導体電界効果トランジスタに充電させ、その充電させた電荷をスイッチングの零期間時に放電させないことにより、整流用素子とし

ての金属酸化膜半導体電界効果トランジスタおよび／または転流用素子としての金属酸化膜半導体電界効果トランジスタのゲート電圧を供給させ、整流用素子および／または転流用素子のオン状態を保持させることができるようにしたことによって、制御回路の構成を簡素にすることができ、小電力で容易に、整流用素子および／または転流用素子のオン状態を維持することができる。

【図面の簡単な説明】

【図1】本発明の原理構成図である。

【図2】第1実施例の構成図である。

【図3】第1実施例の同期整流回路各部の波形を示す波形図である。

【図4】第2実施例の構成図である。

【図5】第2実施例の同期整流回路各部の波形を示す波形図である。

【図6】第3実施例の構成図である。

【図7】第3実施例の同期整流回路各部の波形を示す波形図である。

【図8】第3実施例の別態様の構成図である。

【図9】第3実施例の別態様における各部の波形を示す波形図である。

【図10】従来の同期整流回路を示す構成図である。

【図11】従来の同期整流回路各部の波形を示す波形図である。

【図12】従来の同期整流回路の状態を示す動作説明図である。

【符号の説明】

1 トランス

1a 1次巻線

1b 2次巻線

1c 整流側の補助巻線

1d 転流側の補助巻線

11 スwitching素子

12 整流用素子

13 転流用素子

14 平滑用コンデンサ

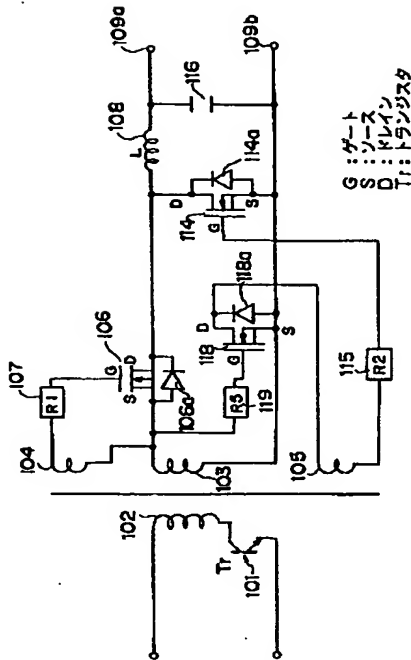
15 整流制御回路

16 転流制御回路

17 コンデンサ

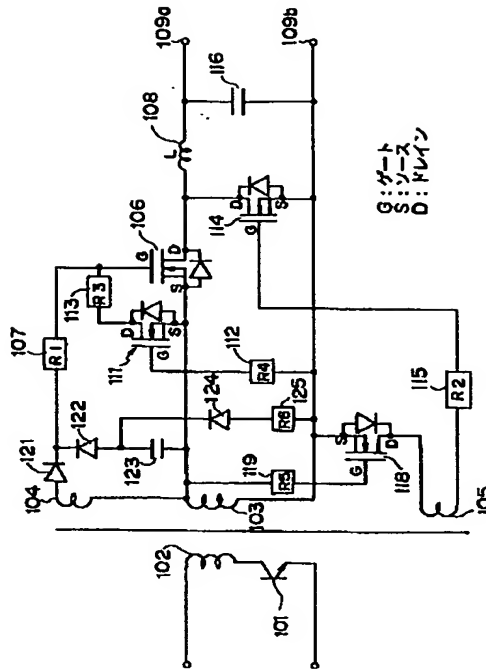
【図4】

第2実施例の構成図



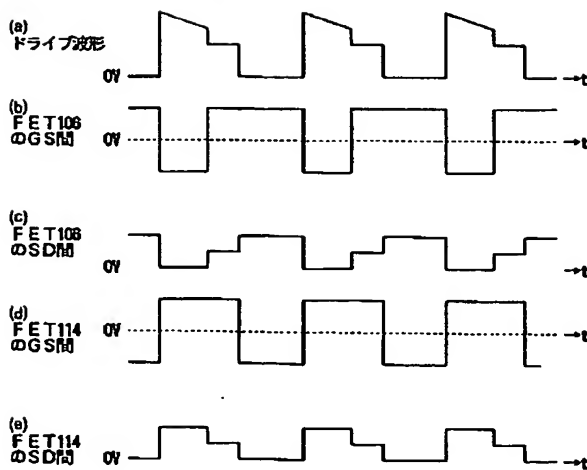
【図6】

第3実施例の構成図



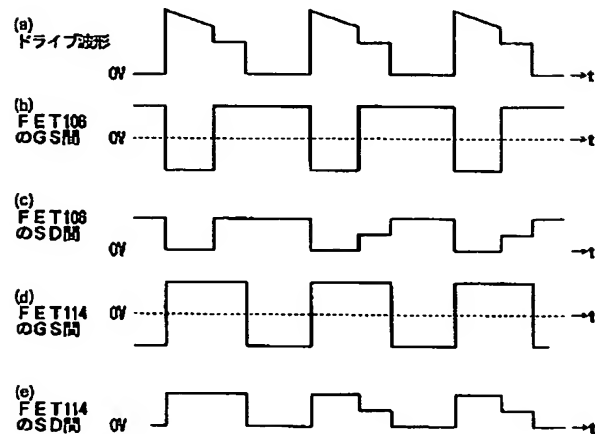
【図7】

第3実施例の同期整流回路各部の波形を示す波形図



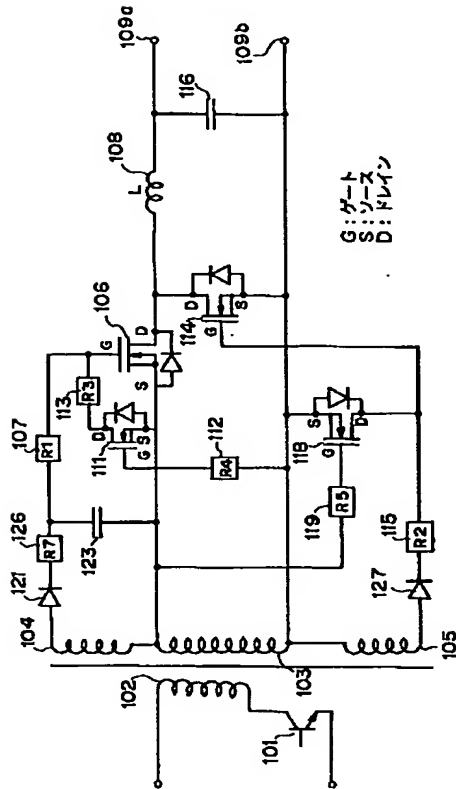
【図9】

第3実施例の別態様における各部の波形を示す波形図



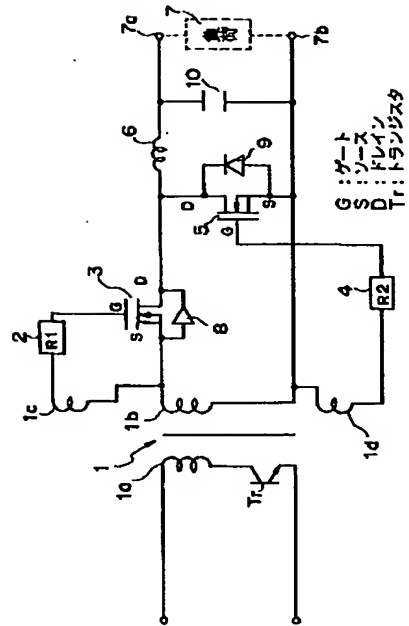
【圖 8】

第3実施例の別態様の構成図



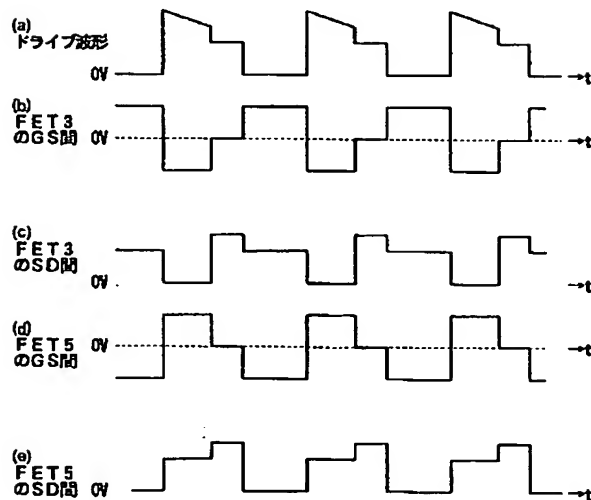
【圖 10】

従来の同期整流回路



【圖 1 1】

従来の同期整流回路各部の波形を示す波形図



【図12】

従来の同期整流回路の状態を示す動作説明図

